

DIALOG(R) File 347:JAPIO  
(c) 2000 JPO & JAPIO. All rts. reserv.

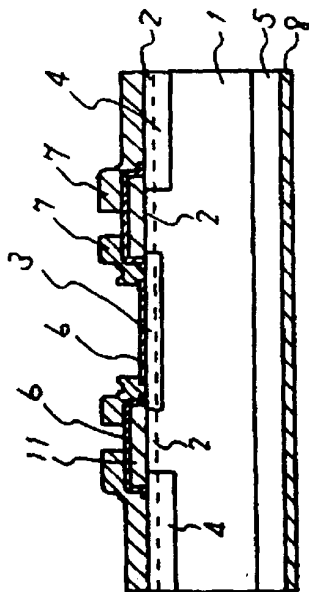
00667184 \*\*Image available\*\*  
PHOTORECEPTOR

PUB. NO.: 55 -154784 [JP 55154784 A]  
PUBLISHED: December 02, 1980 (19801202)  
INVENTOR(s): SHINOHARA YASUO  
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.: 54-062999 [JP 7962999]  
FILED: May 22, 1979 (19790522)  
INTL CLASS: [3] H01L-031/10  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 42.5  
(ELECTRONICS -- Equipment); 46.1 (INSTRUMENTATION --  
Measurement)  
JAPIO KEYWORD: R100 (ELECTRONIC MATERIALS -- Ion Implantation)  
JOURNAL: Section: E, Section No. 46, Vol. 05, No. 27, Pg. 132,  
February 18, 1981 (19810218)

#### ABSTRACT

PURPOSE: To obtain a photodiode having high light receiving efficiency by forming the same conducting type low resistance layer on the surface layer of a high resistance semiconductor substrate, and forming a reverse conducting type diffused region having the same or slightly protruded as the low resistance layer thereat to form a PIN-junction.

CONSTITUTION: P ion or the like is implanted onto the same conducting type low resistance shallow n(sup +)-type layer 2 as the surface layer of a high resistance n(sup -)-type semiconductor substrate 1 thereon, and an n(sup +)-type channel stopper region 4 is inserted into the substrate 1 through the layer 2 at the peripheral edge. Then, to the layer 2 surround by the region 4 is diffused and formed a p(sup +)-type light receiving region 3 having the same depth as or slightly protruded into the layer 2, and a non-reflective coating film 6 is coated over the region 3 and the oxide film 11 formed on the exposed layer 2. Thereafter, aluminum surface electrodes 7 are mounted through the openings perforated at the region 4 and the film 6 at the region 3, and the ohmic back surface electrode 8 is mounted through the region 5 onto the back surface of the substrate 1.



**\*File 351: Display format changes coming soon. Try them out**  
now in ONTAP File 280. See HELP NEWS 280 for details.

Set	Items	Description
---	-----	-----
?s pn=jp	55159784	
S1	0	PN=JP 55159784

⑬ 日本国特許庁 (JP)  
⑭ 公開特許公報 (A)

⑮ 特許出願公開  
昭55—154748

① Int. Cl.<sup>3</sup>  
H 01 L 21/76  
21/94  
27/08  
29/78

識別記号

庁内整理番号  
6426—5F  
7739—5F  
6426—5F  
6603—5F

③ 公開 昭和55年(1980)12月2日

発明の数 1  
審査請求 未請求

(全 4 頁)

④ 相補型 MOS 半導体装置

⑦ 発明者 香山晋

② 特 願 昭54—63452

② 出 願 昭54(1979)5月23日

⑦ 発明者 長久保吉秀

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社総合研究所  
内

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社総合研究所  
内

① 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

④ 代理人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

相補型 MOS 半導体装置

2. 特許請求の範囲

一導電型の半導体基板内に該基板と逆導電型のウェル層を選択的に形成した半導体基体と、この半導体基体の半導体基板及びウェル層上に形成されたゲート電極と、上記半導体基板及びウェル層に夫々形成された該基板及びウェル層と逆導電型のソース、ドレインの拡散層とを具備した相補型 MOS 半導体装置において、上記ウェル層と半導体基板の境界に該ウェル層の深さより深く、かつ幅が  $4\mu\text{m}$  以下の溝部を設けると共に該溝部にウェル層と基板を分離する熱酸化膜を形成したことを特徴とする相補型 MOS 半導体装置。

3. 発明の詳細な説明

本発明は互に導電型の異なる半導体基板とウェル間の分離構造を改良した相補型 MOS 半導体装置に関する。

周知の如く、相補型 MOS 半導体装置(以下 CMOS と称す)は通常 n 型シリコン基板に選択的に p 型ウェルを形成し、n 領域には p チャネル MOS トランジスタを、p 領域には n チャネル MOS トランジスタを、夫々形成して得られる。かかる CMOS は過渡時にしか電力を消費しない、基板効果を影響を受けにくい、雑音保裕度が大きい、広い電源電圧の範囲で動作する等の特徴を有する。

ところで、従来の CMOS は第1図に示すように半導体基体1の n 型シリコン基板2上にゲート酸化膜3を介して例えば多結晶シリコンからなるゲート電極4を形成し、該ゲート電極4で自己整合法により p 型拡散層であるソース5、ドレイン6を形成し、一方 n 型シリコン基板2上に選択的に設けた p ウェル層7にもゲート酸化膜3を介して形成されたゲート電極4で自己整合法により n 型拡散層であるソース5、ドレイン6を形成した構造になっている。

しかしながら、従来の CMOS においては n 型拡

散層であるソース $5_1$ 、ドレイン $6_1$ と $n$ 型シリコン基板 $1$ の間、並びに $p$ ウェル層 $7$ と $p$ 型拡散層であるソース $5_1$ 、ドレイン $6_1$ の間の各々におけるパンチスルーやラッチアップによる異常な消費電流の増加防止、及び製造工程におけるマスク合せの余裕をもたせるために $n$ 型シリコン基板 $1$ の $p$ 型拡散層と $p$ ウェル層 $7$ の $n$ 型拡散層との距離を約 $16\mu\text{m}$ 以上とらなければならず、その結果集積度が極めて低いという欠点があった。

このようなことから、本発明は上記欠点を克服すべく鋭意研究を重ねた結果、半導体基板とウェル層の境界部分に該ウェル層より深く微細な幅の溝部を設けると共に、その溝部に熱酸化膜を形成することによって、ウェル層に形成された拡散層と半導体基板の間、及び半導体基板に形成された拡散層とウェル層の間の各々におけるパンチスルーやラッチアップを熱酸化膜が形成された溝部により確実に防止でき、もってトランジスタの動作特性を劣化せずに半導体基

3

板間であるソース $5_2$ 、ドレイン $6_2$ と $n$ 型シリコン基板 $1$ の間、並びに $p$ ウェル層 $7$ と $p$ 型拡散層であるソース $5_1$ 、ドレイン $6_1$ の間の各々におけるパンチスルーやラッチアップによる異常な消費電流の増加防止、及び製造工程におけるマスク合せの余裕をもたせるために $n$ 型シリコン基板 $1$ の $p$ 型拡散層と $p$ ウェル層 $7$ の $n$ 型拡散層との距離を約 $16\mu\text{m}$ 以上とらなければならず、その結果集積度が極めて低いという欠点があった。

このようなことから、本発明は上記欠点を克服すべく鋭意研究を重ねた結果、半導体基板とウェル層の境界部分に該ウェル層より深く微細な幅の溝部を設けると共に、その溝部に熱酸化膜を形成することによって、ウェル層に形成された拡散層と半導体基板の間、及び半導体基板に形成された拡散層とウェル層の間の各々におけるパンチスルーやラッチアップを熱酸化膜が形成された溝部により確実に防止でき、もってトランジスタの動作特性を劣化せずに半導体基

なるからである。特に、ウェル層の深さより $2\sim 5\mu\text{m}$ 深くした溝部を設けることが望ましい。本発明において溝部の幅を上記範囲に限定した理由は、溝部の幅が $4\mu\text{m}$ を超えると十分な高集積度化を達成し難くなるからである。但し、ウェル層と半導体基板間の分離特性を充分確保する観点から溝部の幅を $1\sim 4\mu\text{m}$ の範囲にすることが望ましい。

本発明において溝部に形成された熱酸化膜とは溝部全体を覆めるようにして形成したもの、或いは溝部の全周面に容器状に形成したものである。特に後者の如く溝部の全周面に容器状の熱酸化膜を形成した場合は、容器状の熱酸化膜内に $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ などの絶縁物を埋め込み実質的に溝部内全体を絶縁物で覆めることが望ましい。このように、溝部に絶縁物の中でも緻密性の高い熱酸化膜を形成することにより、ウェル層と半導体基板間の分離を確実にこなえる利点を有する。

なお、本発明においてはウェル層と半導体基

5

特開昭55-154748(2)

板及びウェル層の拡散層間の距離を従来に比して著しく短縮でき、高集積度化を達成した相補型MOS半導体装置を見い出した。

すなわち、本発明は一導電型の半導体基板内に該基板と逆導電型のウェル層を選択的に形成した半導体基体と、この半導体基体の半導体基板及びウェル層上に形成されたゲート電極と、上記半導体基板及びウェル層に夫々形成された該基板及びウェル層と逆導電型のソース、ドレインの拡散層とを具備した相補型MOS半導体装置において、上記ウェル層と半導体基板の境界に該ウェル層より深く、かつ幅が $4\mu\text{m}$ 以下の溝部を設けると共に、該溝部にウェル層と基板を分離する熱酸化膜を形成したことを特徴とするものである。

本発明において溝部の深さを上記の如く限定した理由は溝部の深さがウェル層の深さより浅くすると、ウェル層と半導体基板間の分離を充分達成できず、それらの拡散層によるパンチスルー、ラッチアップの発生を充分防止できなく

4

板間の分離を更に向上させるために、溝部の底にフィールド反転防止用のイオン注入層を設けてもよい。

次に、本発明の実施例を第2図(a)~(e)の製造工程を併記して説明する。

実施例

〔I〕まず、第2図(a)に示すように $n$ 型シリコン基板 $11$ 上に光蝕刻技術により $p$ ウェル層形成相当部と該基板 $11$ の境界部分が除去されたレジストパターン $12$ (耐エッチング性マスク材)を形成した。この時のレジストパターン $12$ の除去部の幅は $1.5\mu\text{m}$ にした。その後、第2図(b)に示すようにアルゴンガスを用いてイオンミリングを施してレジストパターン $12$ から露出したシリコン基板 $11$ 部分をエッチングして幅 $1.5\mu\text{m}$ 、後述する $p$ ウェル層深さより深い $10\mu\text{m}$ のエッチング部 $13$ ( )を形成した後、フィールド反転防止用のリンを注入して、エッチング部 $13$ の底にイオン注入層 $14$ を形成した。

〔II〕次いでレジストパターン $12$ を除去した

6

後、1000℃のウェット雰囲気中で熱酸化を施した。この時、シリコン基板11上面に約15 $\mu$ mの熱酸化層15が成長すると共に、エッチング13の内部側壁の両方から約1.5 $\mu$ mの熱酸化膜が成長してエッチング部13が熱酸化膜16で埋められた(第2図(e)図示)。つづいて第2図(d)に示すように弗化アンモニウム液で全面エッチングしてシリコン基板11上の熱酸化層15の厚さ分だけエッチングして素子分離領域17を形成した。

〔B〕次いで、n型シリコン基板11のpウェル層形成相当部に該基板と逆導電型の不純物であるボロンを選択的にイオン注入して前記素子分離領域17(深さ約115 $\mu$ m)より2.5 $\mu$ m浅い9 $\mu$ mのpウェル層18を形成し半導体基体19を作成した。つづいて、n型シリコン基板11上及びpウェル層18上にゲート酸化膜201、202を介して多結晶シリコンからなるゲート電極211、212を形成した後、n型シリコン基板11にボロンを選択的に拡散してp<sup>+</sup>型拡

7

散層であるソース221、ドレイン231を形成し、さらにpウェル層18に砒素を選択的に拡散してn<sup>+</sup>型拡散層であるソース222、ドレイン232を形成した(第2図・図示)。その後、図示しないがCVD法によりSiO<sub>2</sub>の絶縁層を全面に被着し、pチャンネル、nチャンネル側のゲート、ソース、ドレインと接続する取出し電極を形成してCMOSを製造した。

得られたCMOSは第2図(a)に示すようにn型シリコン基板11とpウェル層18の境界部分に該ウェル層18より深いエッチング部13(溝部)に熱酸化膜16で埋め込んだ幅3 $\mu$ mの素子分離領域17が形成されており、シリコン基板11及びpウェル層18にp<sup>+</sup>型拡散層とn<sup>+</sup>型拡散層を近接して形成してもp<sup>+</sup>型拡散層とpウェル層18間及びn<sup>+</sup>型拡散層とnシリコン基板11間におけるパンチスルーやランチャップの発生は起こらず、所定のトランジスタの動作特性を有する極めて集積度の高いものであった。

また、素子分離領域17とpチャンネル、n

8

チャンネルのトランジスタ領域との段差が僅少で、ソース、ドレインの取出し電極の段切れがない高信頼性のCMOSであることがわかった。

以上詳述した如く、本発明によればトランジスタの動作特性を劣化せずに半導体基板及びウェル層に形成される拡散層間の距離を従来に比して著しく短縮でき、しかも半導体基板及びウェル層とそれら境界部分との平坦性も確保でき、もって高集積度が達成され、かつソース、ドレインの取出し電極の断絶のない高信頼性を有する相補型MOS半導体装置を提供できるものである。

#### 4. 図面の簡単な説明

第1図は従来の相補型MOS半導体装置を示す断面図、第2図(a)～(e)は本発明の実施例における相補型MOS半導体装置の製造工程を示す断面図である。

11…n型シリコン基板、13…エッチング部(溝部)、14…フィールド反転防止用のイオン注入層、16…熱酸化膜、17…素子分離

9

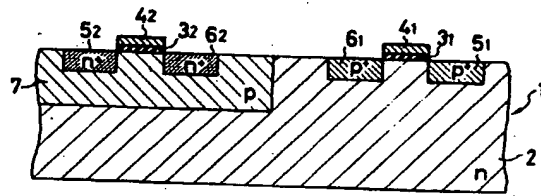
領域、18…pウェル層、19…半導体基体、211、212…ゲート電極、221、222…ソース、231、232…ドレイン。

出願人代理人 弁理士 鈴 江 武 彦

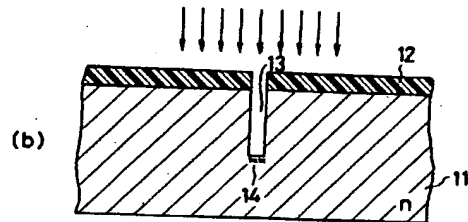
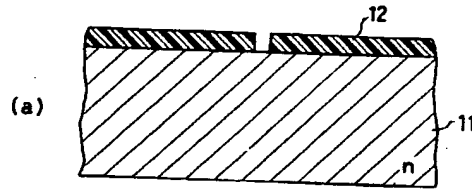
10

第 1 圖

特開昭55-154748(4)



第 2 圖



第 2 圖

